

#2 3-24-03

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Motoshige KOBAYASHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

10715 U.S. PTO
10/025744
12/26/01

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2000-399297

MONTH/DAY/YEAR

December 27, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc715 U.S. PTO
10/025744
12/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月27日

出 願 番 号

Application Number:

特願2000-399297

出 願 人

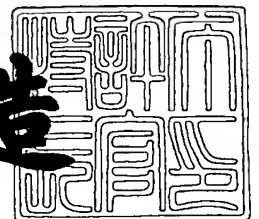
Applicant(s):

株式会社東芝

2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3041508

【書類名】 特許願

【整理番号】 A000007282

【提出日】 平成12年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 3

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 小林 源臣

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 野崎 秀樹

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プールの可否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】

高抵抗の第 1 導電型ベース層と、

この第 1 導電型ベース層の表面に選択的に形成された第 2 導電型ベース層と、

この第 2 導電型ベース層の表面に選択的に形成された第 1 導電型エミッタ層と

、
この第 1 導電型エミッタ層と前記第 1 導電型ベース層とで挟まれた前記第 2 導電型ベース層上にゲート絶縁膜を介して設けられたゲート電極と、

前記第 1 導電型ベース層の裏面に高不純物濃度の第 1 導電型バッファ層を介して設けられた第 2 導電型コレクタ層とを具備してなり、

かつ前記第 1 導電型バッファ層と反対側の前記第 2 導電型コレクタ層の表面から測った、前記第 1 導電型バッファ層中の第 1 導電型不純物のピーク濃度位置を d_1 とし、

前記第 1 導電型バッファ層の前記 d_1 よりも深い領域において、（SR 分析による前記第 1 導電型バッファ層中の活性化した第 1 導電型不純物の濃度）／（SIMS 分析による前記第 1 導電型バッファ層中の第 1 導電型不純物の濃度）

で定義する活性化率が所定の値以下となる最初の深さを d_2 とした場合、

$d_2 / d_1 > 1.5$ を満たすことを特徴とする半導体装置。

【請求項 2】

前記所定の値は、0.3 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 導電型ベース層、前記第 2 導電型ベース層、前記第 1 導電型エミッタ層、前記第 1 導電型バッファ層および前記第 2 導電型コレクタ層は、鏡面研磨ウェハに形成されたものであることを特徴とする請求項 1 または 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パンチスルー型 IGBT (PT-IGBT) 等の高耐圧半導体素子を含む半導体装置に関する。

【0002】

【従来の技術】

高耐圧半導体素子の一つとして IGBT (Insulated Gate Bipolar Transistor) が知られている。図6に、従来のパンチスルー型 IGBT の断面図を示す。図中、81は高抵抗の n^- 型ベース層を示しており、この n^- 型ベース層81の表面には p 型ベース層82が選択的に形成されている。p 型ベース層82の表面には n 型エミッタ層83が選択的に形成されている。

【0003】

n 型エミッタ層83と n^- 型ベース層81で挟まれた p 型ベース層82上には、ゲート絶縁膜84を介して、ゲート電極85が設けられている。ゲート電極85は例えばポリシリコンで形成されている。

【0004】

エミッタ電極86は、層間絶縁膜87に開口されたコンタクトホールを介して、n 型エミッタ層83および p 型ベース層82に接続している。エミッタ電極86は例えば Al 等の金属で形成されている。さらに、これらのゲート電極85およびエミッタ電極86を含む n^- 型ベース層81の表面は、図示しないパッシベーション膜で被われている。

【0005】

一方、 n^- 型ベース層81の裏面には、 n^+ 型バッファ層88を介して、 p^+ 型コレクタ層89が設けられている。 p^+ 型コレクタ層89には、コレクタ電極90が設けられている。コレクタ電極90は、例えば Al 等の金属で形成されている。

【0006】

しかしながら、この種の PT-IGBT には以下のような問題があった。図6に示した PT-IGBT は、 p^+ 型コレクタ層89上に n^+ 型バッファ層88お

よび n^- 型ベース層 81 が予め作り込まれた厚いエピタキシャルウェハ（基板）を用いて製造する。

【0007】

具体的には、厚さ $625\mu\text{m}$ の p^+ 型コレクタ層 89 上に、厚さ $15\mu\text{m}$ の n^+ 型バッファ層 88、厚さ $60\mu\text{m}$ の n^- 型ベース層 81 を順次エピタキシャル成長させ、厚さ $700\mu\text{m}$ のエピタキシャルウェハを形成した後、 p^+ 型コレクタ層 89 の裏面を研磨し、 p^+ 型コレクタ層 89 の厚さを $175\mu\text{m}$ まで薄くしたものを基板に使用する。以上述べたような厚さ $700\mu\text{m}$ のエピタキシャルウェハを作成するにはコストがかかる。したがって、図 6 に示した PT-IGBT は製造コストがかかるという問題があった。

【0008】

このような問題は、 n^+ 型バッファ層 88 および p^+ 型コレクタ層 89 が予め作り込まれていない鏡面研磨ウェハを用いれば解決できる。鏡面研磨ウェハは生 Si ウェハ (raw Si wafer) と呼ばれることもある。

【0009】

すなわち、鏡面研磨ウェハに n 型不純物を導入して n^- 型ベース層 81 を形成し、その表面に p 型ベース層 82、 n 型エミッタ層 83、ゲート絶縁膜 84、ゲート電極 85、層間絶縁膜 87、エミッタ電極 86、さらには図示しないパッシベーション膜を形成した後、 n^- 型ベース層 81 の裏面に n 型不純物、 p 型不純物を順次イオン注入し、続いてこれらの n 型および p 型不純物を活性化するためのアニールを行って、 n^+ 型バッファ層 88 および p^+ 型コレクタ層 89 を形成すれば良い。

【0010】

この種のプロセスを採用する場合、 n^+ 型バッファ層 88 および p^+ 型コレクタ層 89 に対して高温長時間のアニールを施すと、 n^- 型ベース層 81 の表面側に形成されたエミッタ電極 86 やパッシベーション膜等が悪影響を受ける。したがって、イオン注入後のアニールの温度は、エミッタ電極 86 やパッシベーション膜等によって律速され、代表的には 500°C 程度が上限となり、イオン注入した n 型および p 型不純物を十分に活性化することができなくなる。

【 0 0 1 1 】

ここで、上記アニールとして、 n^- 型ベース層 8 1 の裏面からレーザーを照射するというレーザアニールを用いれば、 n^- 型ベース層 8 1 の表面にまで熱が伝わることを防止でき、かつ n^- 型ベース層 8 1 の裏面は Si 溶融温度まで上げることができる。したがって、エミッタ電極 8 6 やパッシベーション膜等に悪影響を与えずに、アニールを行うことが可能となる。

【 0 0 1 2 】

しかしながら、この種のレーザアニールの場合、レーザー溶融深さは数 μm 以内で、かつ照射時間は短時間であるため、レーザーによる熱が n^+ 型バッファ層 8 8 内に十分に伝わらず、 n^+ 型バッファ層 8 8 中にダメージ層が残留し、その結果として素子オフ状態でリーク電流が発生するという問題が起こる。リーク電流が発生する理由は、図 7 に示すように、オフ状態でダメージ層 9 1 が空乏化すると、ダメージ層 9 1 がキャリアの生成中心として働くからである。

【 0 0 1 3 】

【発明が解決しようとする課題】

上述の如く、従来のエピタキシャルウェハを用いた PT-IGBT は、製造コストがかかるという問題があった。そこで、製造コストを下げるために、生 Si ウェハを用いた PT-IGBT が提案された。しかし、この種の PT-IGBT は、その n^+ 型バッファ層および p^+ 型コレクタ層をイオン注入とレーザーアニールにより形成すると、素子オフ状態でリーク電流が発生するという問題があった。

【 0 0 1 4 】

本発明の目的は、このようなリーク電流の増大を抑制できる PT-IGBT 等の高耐圧半導体素子を含む半導体装置を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するために、本発明に係る半導体装置は、高抵抗の第 1 導電型ベース層と、この第 1 導電型ベース層の表面に選択

的に形成された第2導電型ベース層と、この第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ層と、この第1導電型エミッタ層と前記第1導電型ベース層とで挟まれた前記第2導電型ベース層上にゲート絶縁膜を介して設けられたゲート電極と、前記第1導電型ベース層の裏面に高不純物濃度の第1導電型バッファ層を介して設けられた第2導電型コレクタ層とを備え、かつ前記第1導電型バッファ層と反対側の第2導電型コレクタ層の表面から測った、前記第1導電型バッファ層中の第1導電型不純物のピーク濃度位置を d_1 とし、前記第1導電型バッファ層の前記 d_1 よりも深い領域において、SR分析による前記第1導電型バッファ層中の活性化した第1導電型不純物の濃度/SIMS分析による前記第1導電型バッファ層中の第1導電型不純物の濃度で定義する活性化率が所定の値以下となる最初の深さを d_2 とした場合、 $d_2/d_1 > 1.5$ を満たすことを特徴とする。

【0016】

本発明者等の研究によれば、リーク電流の増加となるダメージ層は、PT-IGBTのバッファ層中の不純物の不活性化率と関係があり、具体的には $d_2/d_1 > 1.5$ の条件を満たす場合、リーク電流の増加を効果的に抑制できることが明らかになった。したがって、本発明によれば、PT-IGBT等の高耐圧半導体素子のリーク電流の増大を抑制できるようになる。

【0017】

なお、上記本発明に係る半導体装置において、前記所定の値は、代表的には0.3以下であるが、0.2以下であっても良い。

【0018】

また、前記第1導電型ベース層、前記第2導電型ベース層、前記第1導電型エミッタ層、前記第1導電型バッファ層および前記第2導電型コレクタ層は、例えば鏡面研磨ウェハに形成されたものである。

【0019】

前記第1導電型バッファ層および前記第2導電型コレクタ層は、イオン注入およびレーザーアニールを用いて形成することが好ましい。この点については発明の実施の形態で詳説する。

【 0 0 2 0 】

また、PT-IGBTの場合には、前記第1導電型エミッタ層と前記第2導電型ベース層とに第1の主電極を設け、前記第2導電型コレクタ層に第2の主電極を設けることになる。

【 0 0 2 1 】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【 0 0 2 2 】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。まず、本実施形態のPT-IGBTは鏡面研磨ウェハ（生Siウェハ）を用いて形成したものであり、したがってエピタキシャルウェハを用いて形成した場合とは異なり、製造コストが高くなるという問題はない。さらに、以下に説明するように、本実施形態のPT-IGBTは、従来の生Siウェハを用いて形成したPT-IGBTとは異なり、リーク電流の増加の問題もない。

【 0 0 2 3 】

図1は、本発明の一実施形態に係るPT-IGBTの製造方法を示す工程断面図である。

【 0 0 2 4 】

まず、図1（a）に示すように、 n^- 型ベース層1の表面にp型ベース層2を選択的に形成し、続いてp型ベース層2の表面にn型エミッタ層3を選択的に形成する。 n^- 型ベース層1は鏡面研磨ウェハ内にn型不純物を導入した後、アニールを行って形成したものである。

【 0 0 2 5 】

次に図1（b）に示すように、ゲート絶縁膜4となる絶縁膜、ゲート電極5となる導電膜を全面に順次堆積した後、これらの導電膜および絶縁膜をパターニングし、n型エミッタ層3と n^- 型ベース層1とで挟まれたp型ベース層2上に、ゲート絶縁膜4を介してゲート電極5が設けられてなる絶縁ゲート構造を形成する。ゲート絶縁膜4は例えばシリコン酸化膜、ゲート電極5は例えばポリシリコ

ンでそれぞれ形成する。

【 0 0 2 6 】

次に図 1 (c) に示すように、層間絶縁膜 6 を全面に堆積し、層間絶縁膜 6 にコンタクトホールを開口した後、p 型ベース層 2 と n 型エミッタ層 3 にコンタクトするエミッタ電極 7 を形成する。エミッタ電極 7 は例えば A 1 で形成する。

【 0 0 2 7 】

その後、ゲート電極 5 およびエミッタ電極 6 を含む n^- 型ベース層 1 の表面を図示しないパッシベーション膜で覆い、さらに仕様の耐圧に応じて n^- 型ベース層 1 を薄くする。これは n^- 型ベース層 1 の裏面を研磨して行う。この研磨は、例えば CMP (Chemical Mechanical Polishing) 法により行う。

【 0 0 2 8 】

次に図 1 (d) に示すように、例えばドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧 240 KeV の条件で n^- 型ベース層 1 の裏面に隣等の n 型不純物、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧 50 KeV の条件でボロン等の p 型不純物を順次注入した後、例えばエネルギー密度 2.5 J/cm^2 の条件でエキシマレーザを n^- 型ベース層 1 の裏面 (n^+ 型バッファ層 8 と反対側の n^- 型ベース層 1 の表面) に照射し、 n^- 型ベース層 8 1 の裏面から $5 \mu\text{m}$ 以下の領域を溶融するというレーザアニールを行うことによって、 n^- 型ベース層 1 の裏面に本発明の n^+ 型バッファ層 8 および p^+ 型コレクタ層 9 を形成する。その後、周知の方法に従ってコレクタ電極 10 を形成する。

【 0 0 2 9 】

本発明の n^+ 型バッファ層 8 および p^+ 型コレクタ層 9 とは、 $d_2/d_1 > 1.5$ を満たすものをいう。ここで、 d_1 は n^+ 型バッファ層 8 と p^+ 型コレクタ層 9 との界面から測った、 n^+ 型バッファ層 8 中の n 型不純物の濃度がピークとなる深さ、 d_2 は n^+ 型バッファ層 8 の d_1 よりも深い領域において、 n^+ 型バッファ層 8 中の n 型不純物の活性化率 a を示し、その値が 0.3 となる最初の深さである。活性化率 a は (SR (spreading resistance) 分析にて得られた活性化した n 型不純物の濃度) / (SIMS 分析にて得られた n 型不純物の濃度) で定義される。

【 0 0 3 0 】

S R 分析は、周知の技術であるが簡単に説明すると以下の通りである。すなわち、2本の針の間隔を十分に小さくし（数10～数100 μm ）、その先端が試料に接触する面の半径を a とすると、ひろがり抵抗（ R_s ）と比抵抗（ ρ ）との関係は、 $R_s = \rho / 2a$ で与えられる。

【 0 0 3 1 】

図2に、不純物拡散を行った p n 接合を斜め研磨した後に針の間隔20 μm の装置で S R 分析を行う様子を示す。図2の DOPING TYPE 2 は n^+ 型バッファ層8に相当し、DOPING TYPE 1 は p^+ 型コレクタ層9にそれぞれ相当する。

【 0 0 3 2 】

図3に、 n^- 型ベース層1、 n^+ 型バッファ層8および p^+ 型コレクタ層9中の不純物の濃度分布を示す。具体的には、S R 分析にて得られた不純物の濃度分布、S I M S 分析にて得られた不純物の濃度分布がそれぞれ示されている。また、図3において示される領域Aは、ダメージ層、またはダメージ層と未活性イオンが残留している領域を表している。図3において、 $depth = 0$ は p^+ 型コレクタ層9の裏面、 $depth = 1$ は n^+ 型バッファ層8と n^- 型ベース層1の界面にそれぞれ相当する。

【 0 0 3 3 】

素子オフ状態では、ダメージ層が残留している領域Aを含む n^+ 型バッファ層8の一部が空乏化する。そのため、領域Aが大きいほどリーク電流は増大する。

【 0 0 3 4 】

ダメージ層が残留している領域Aは、 n^+ 型バッファ層8を形成するときの n 型不純物のイオン注入によって生じるものである。したがって、領域Aは d_2 / d_1 と関連づけられて考えられ、具体的には、領域Aが大きいほど、 d_2 / d_1 は小さくなると考えられる。すなわち、 d_2 / d_1 を大きくすれば、リーク電流を低減できると考えられる。

【 0 0 3 5 】

そこで、本発明者等は、 d_2 / d_1 と領域Aとの関係を調べたところ、図4に示すように、 $d_2 / d_1 = 1.5$ を境にしてそれよりも大きくなると、リーク電

流は十分に小さくなることが明らかになった。

【0036】

ここでは、 d_2 は d_1 よりも深い領域において n^+ 型バッファ層8中の n 型不純物の活性化率 a が0.3となる最初の深さとして説明した。その理由は、図5に示すように、 n^+ 型バッファ層8中の n 型不純物の活性化率 $a=0.5$ から活性化率 $a=0.1$ への変化は急峻であり、これらの値の平均値として0.3(= $(0.5+0.1)/2$)を選んだからである。しかし、 d_2 を活性化率 a が0.3よりも小さくなる深さ、例えば0.2よりも小さくなる深さとして定義しても良い。図5において、 $depth=0$ は p^+ 型コレクタ層9の裏面、 $depth=1$ は n^+ 型バッファ層8と n^- 型ベース層1の界面にそれぞれ相当する。

【0037】

n 型不純物のイオン注入の条件を同じにしてレーザーアニールだけの条件を変えると、 Si 溶融深さが変わるため、 d_1 がほぼ一定のもとで d_2 が変化する。したがって、 n 型不純物のイオン注入の条件を同じにし、レーザーアニールによる加熱を弱くして Si 溶融深さを浅くすることで、活性化率 $a<0.2$ は実現される。

【0038】

ここで、 n 型不純物のイオン注入の条件を同じにしてレーザーアニールだけの条件を変え、 d_2 を活性化率 $a<0.2$ となる最初の深さと定義とした場合の d_2/d_1 は、 d_2 を活性化率 $a<0.3$ となる最初の深さと定義した場合の d_2/d_1 よりも大きくなる。したがって、 d_2 を活性化率 $a<0.2$ となる最初の深さで定義した場合、 $d_2/d_1>1.5$ の条件は当然に満たされる。

【0039】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、第1導電型を n 型、第2導電型を p 型として説明したが、逆に第1導電型を p 型、第2導電型を n 型としても良い。

【0040】

さらに、上記実施形態でPT-IGBTの単品(ディスクリート)について説明したが、PT-IGBTとその制御回路や保護回路などの他の回路を同一チッ

ブ内に形成しても良い。

【 0 0 4 1 】

さらにまた、上記実施形態では P T - I G B T の場合について説明したが、本発明はディープトレンチを用いた高耐圧 M O S トランジスタにも適用できる。すなわち、本発明は、高抵抗の第 1 導電型ベース層／高不純物濃度の第 1 導電型バッファ層／第 2 導電型コレクタ層の半導体構造を有する半導体素子（半導体装置）に対して適用可能である。

【 0 0 4 2 】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 0 4 3 】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【 0 0 4 4 】

【発明の効果】

以上詳説したように本発明によれば、リーク電流の増加を効果的に抑制できる高耐圧半導体素子を含む半導体装置を実現できるようになる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る P T - I G B T の製造方法を示す工程断面図

【図 2】

S R 分析を説明するための図

【図 3】

P T - I G B T の n^- 型ベース層、 n^+ 型バッファ層および p^+ 型コレクタ層中の不純物の分布を S R 分析および S I M S 分析により調べた結果を示す図

【図 4】

d_2 / d_1 とリーク電流との関係を示す図

【図 5】

n^+ 型バッファ層の n 型不純物の活性化率の深さ依存性を示す図

【図 6】

従来の PT-IGBT を示す断面図

【図 7】

従来の PT-IGBT のリーク電流のメカニズムを説明するための図

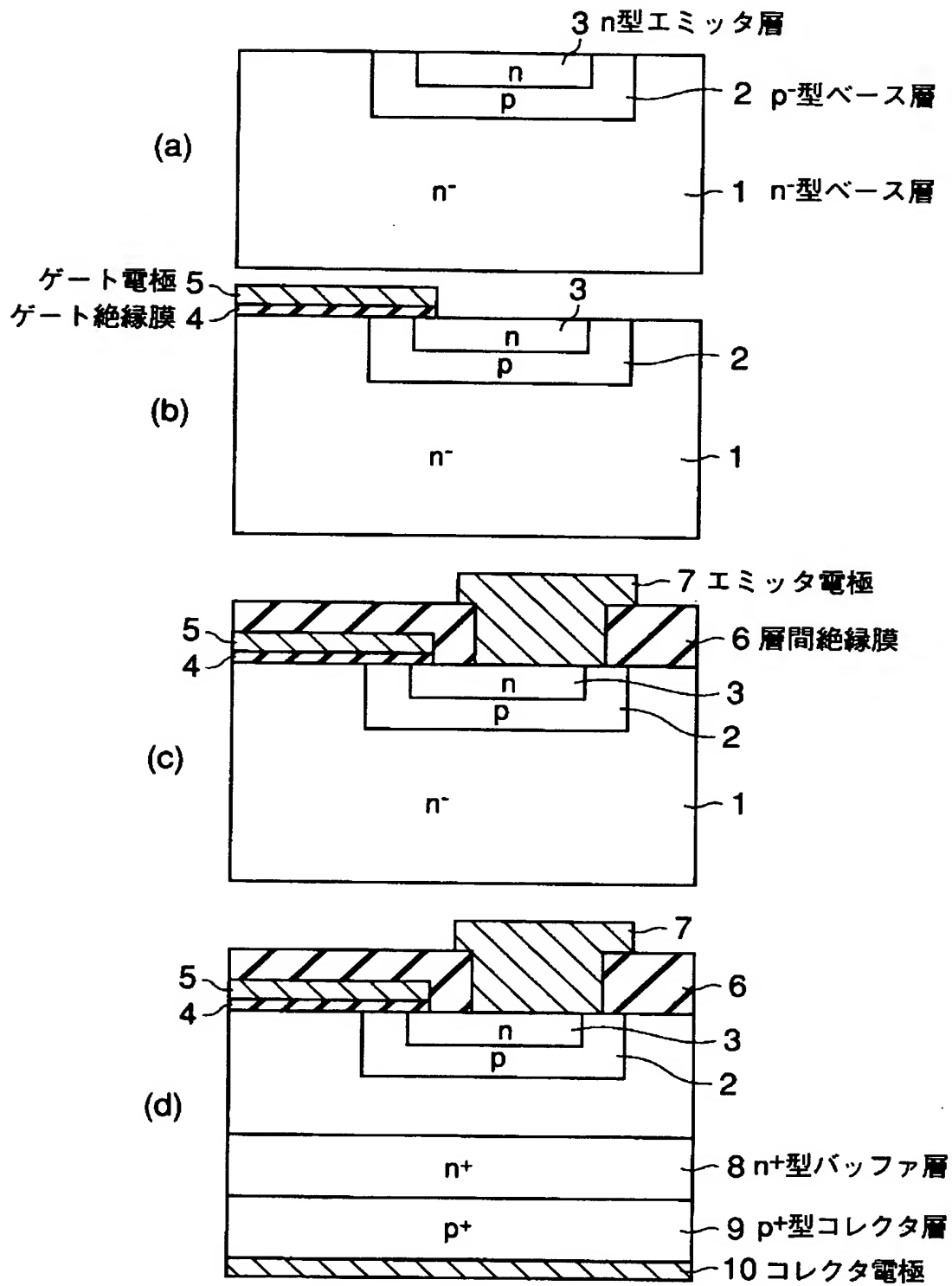
【符号の説明】

- 1 … n^- 型ベース層（第 1 導電型ベース層）
- 2 … p 型ベース層（第 2 導電型ベース層）
- 3 … n 型エミッタ層（第 1 導電型エミッタ層）
- 4 … ゲート絶縁膜
- 5 … ゲート電極
- 6 … 層間絶縁膜
- 7 … エミッタ電極（第 1 の主電極）
- 8 … n^+ 型バッファ層（第 1 導電型バッファ層）
- 9 … p^+ 型コレクタ層（第 2 導電型コレクタ層）
- 10 … コレクタ電極（第 2 の主電極）

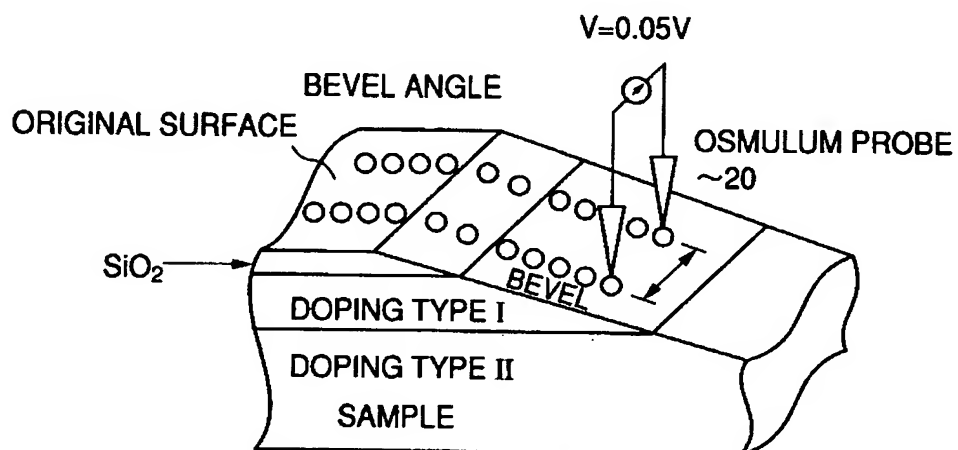
【書類名】

図面

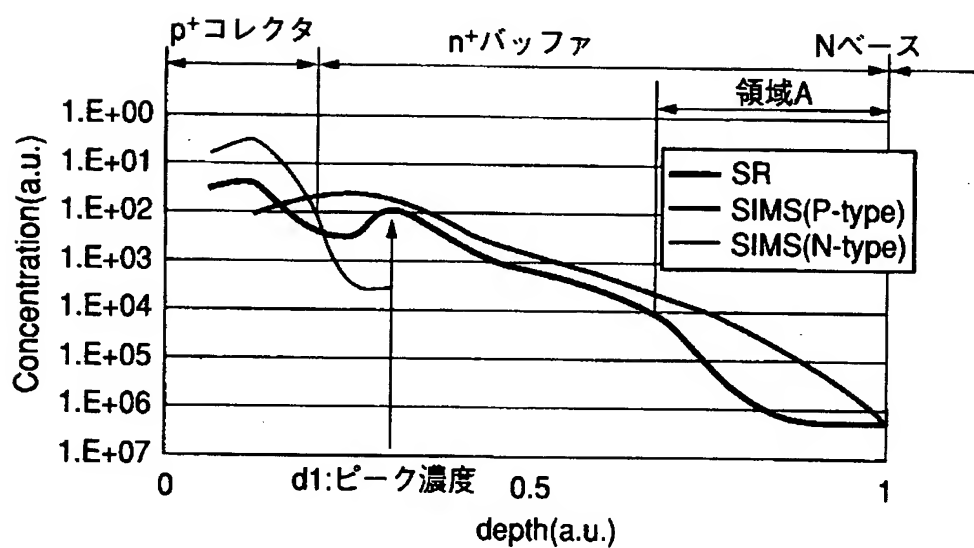
【図 1】



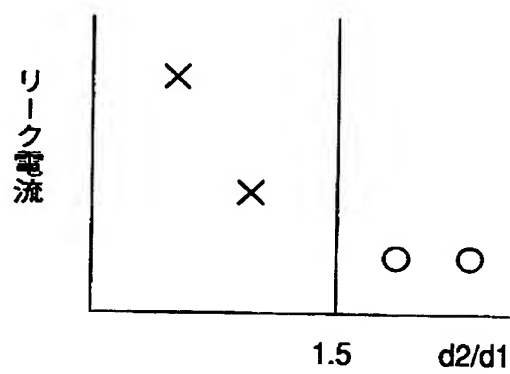
【図 2】



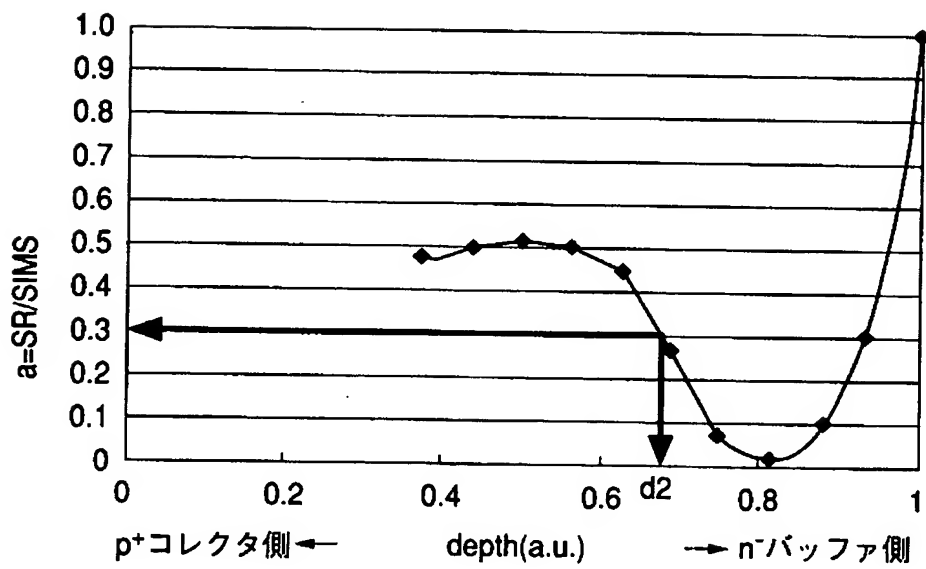
【図 3】



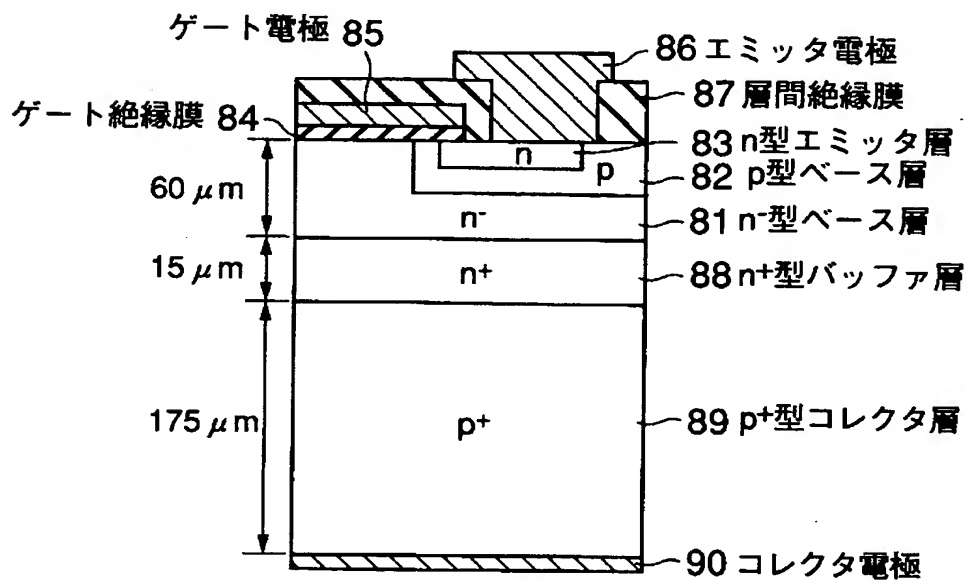
【図4】



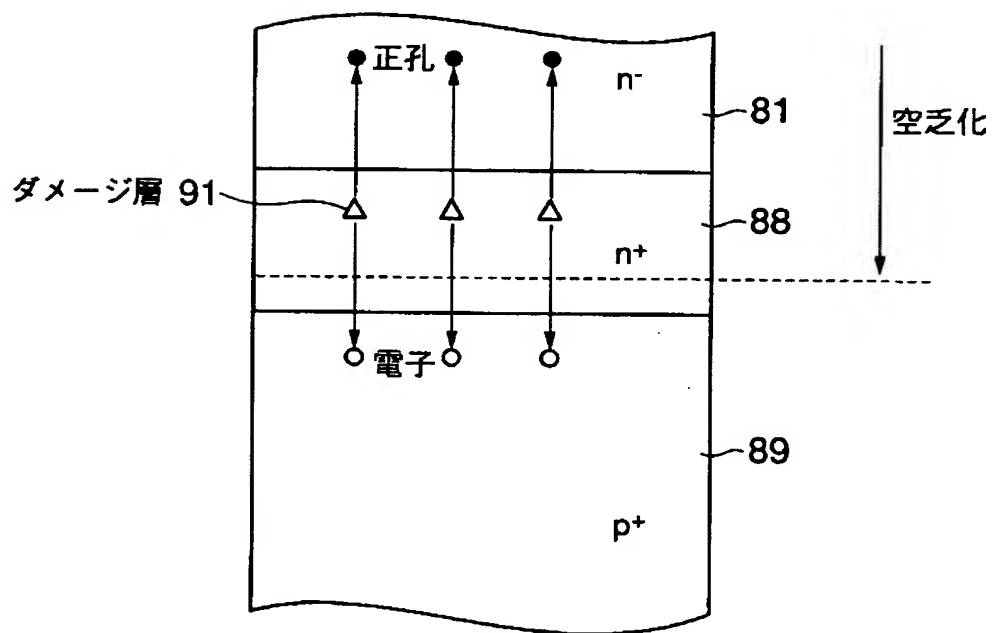
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 P T - I G B T のリーク電流の増加を抑制すること。

【解決手段】 $d_2 / d_1 > 1.5$ を満たす n^+ 型バッファ層 8 および p^+ 型コレクタ層 9 を形成する。ここで、 d_1 は p^+ 型コレクタ層 9 の裏面から測った、 n^+ 型バッファ層 8 中の n 型不純物の濃度がピークとなる深さ、 d_2 は n^+ 型バッファ層 8 の d_1 よりも深い領域において、 n^+ 型バッファ層 8 中の n 型不純物の活性化率 a が 0.3 となる最初の深さである。活性化率 a は (SR 分析にて得られた活性化した n 型不純物の濃度) / (SIMS 分析にて得られた n 型不純物の濃度) で定義される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝